



공개특허특2001-0055685

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷	(11) 공개번호	특2001-0055685
H01L 27/10	(43) 공개일자	2001년07월04일
(21) 출원번호	10-1999-0056949	
(22) 출원일자	1999년12월11일	
(71) 출원인	삼성전자 주식회사	
(72) 발명자	경기 수원시 팔달구 매탄3동 416 권상동	
(74) 대리인	경기도수원시팔달구매탄4동삼성1차APT6동808호 서준 경기도화성군태안읍병정리485번지한신APT110동809호 임창현, 권혁수	

심사청구 : 없음

(54) 다마신 공정을 사용한 자기정렬콘택 형성 방법

요약

본 발명은 자기정렬콘택 형성 방법 중 다마신 공정을 사용하여 자기정렬콘택을 형성하므로 식각 마진을 확보할 수 있는 방법을 개시한다. 반도체 기판 상에 절연막을 증착한 후 다마신 공정으로 비트라인을 형성한다. 다음, 질화막으로 상기 비트라인을 캡핑한 후 상기 절연막을 제거한다. 상기 비트라인과 질화막 측면에 스페이서를 형성한다. 상기 비트라인의 어깨 부위가 질화막과 스페이서에 의해 충분한 두께로 보호받아 후속 식각 공정 중에 상기 비트라인의 노출을 방지하여 준다.

대표도

도2e

명세서

도면의 간단한 설명

도 1은 종래의 방법으로 형성된 비트라인에서 자기정렬콘택시 문제점을 보여주는 단면도; 및
도 2a 내지 도 2e는 본 발명의 실시예에 따른 자기정렬콘택 형성 방법을 보여주는 단면도이다.

* 도면의 주요 부분에 대한 부호의 설명

210 : 제 1 절연막	212 : 제 1 질화막
214 : DC 콘택 플러그	216 : 제 2 절연막
218 : 배리어 금속막	220 : 금속막
222 : 제 2 질화막	224 : 제 3 질화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 자기정렬콘택 형성 방법에 관한 것으로, 좀 더 구체적으로 다마신 공정을 통해 비트라인과 스페이서를 형성하여 자기정렬콘택을 형성하는 방법에 관한 것이다.

반도체 메모리가 고집적화, 고용량화 되어가고 있고, 그에 따라 디자인 룰(design rule)도 점점 작아지고 있다.

패턴의 크기가 0.13 μ m 이하의 선폭으로 형성됨에 따라 소자와 소자, 층과 층을 연결하는 콘택홀(contact hole) 크기와 오정렬 마진(misalignment margin)도 함께 감소한다. 이러한 문제를 해결할 수 있는 방법으로 자기정렬콘택(SAC: Self Aligned Contact)이 제안되었다. 자기정렬콘택의 장점은 사진 공정에서의 작은 콘택홀 형성에 대한 어려움을 극복할 수 있고, 정렬 마진(alignment margin)이 증가하며, 작은 콘택홀에 비하여 모든 면적을 콘택에 사용할 수 있으므로 콘택저항을 낮출 수 있다.

도 1은 종래의 비트라인을 이용한 자기정렬콘택을 보여주는 단면도이다.

공개특허2001-0055685

도 1을 참조하면, 반도체 기판 상에 제 1 절연막(110)이 형성된다. 상기 제 1 절연막(110) 내에 DC(Direct Contact) 콘택 플러그(112)가 형성된다. 상기 DC 콘택 플러그(112) 상에 비트라인(114)이 형성된다. 상기 비트라인(114) 상부표면은 실리콘 질화막(116)으로 랩핑된다. 그리고 나서, 상기 비트라인(114) 측면에 실리콘 질화막으로 스페이서(spacer, 118)가 형성된다. 이 때, 도 1의 인출길이 130과 140에 보여지듯, 후속으로 형성되는 BC(Buried Contact) 콘택을 식각 공정시 상기 스페이서(118)가 너무 식각 되어 상기 비트라인 어깨 부위의 상기 스페이서(118)가 상대적으로 얇아지거나 노출되는 문제점이 발생된다. 이러한 문제로 인하여, BC 콘택 플러그를 자기정렬콘택 공정으로 형성할 때, 상기 비트라인(114) 어깨 부위에 노출된 비트라인(114)과 상기 BC 콘택 플러그가 단락(short)되어 불량율 초래하게 된다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 다마신 공정으로 비트라인을 형성하여 BC 자기정렬콘택시 정렬 마진과 식각 마진을 확보할 수 있는 자기정렬콘택 형성 방법을 제공하는 것이다.

발명의 구성 및 작용

상술한 목적을 달성하기 위한 본 발명에 의하면, 다마신 공정을 사용한 자기정렬콘택 형성 방법은 반도체 기판 상에 제 1 절연막과 제 1 질화막을 차례로 증착한다. 사진 공정을 통해 상기 제 1 질화막과 제 1 절연막을 내에 콘택 플러그를 형성한다. 상기 기판 전면에 제 2 절연막을 증착한다. 사진 공정을 통해 상기 콘택 플러그가 노출되도록 상기 제 2 절연막을 식각하여 개구부를 형성한다. 상기 개구부 내벽을 포함하여 상기 기판 전면에 배리어 금속막을 증착한다. 상기 기판 전면에 금속막을 증착한다. 상기 금속막과 배리어 금속막을 에치백 공정으로 식각하고, 상기 개구부 깊이의 소정 깊이까지 식각한다. 상기 기판 전면에 제 2 실리콘 질화막을 증착한다. 상기 제 2 절연막 상부 표면이 노출될 때까지 상기 제 2 질화막을 에치백 공정으로 식각한다. 상기 제 2 절연막을 제거한다. 상기 기판 전면에 제 3 질화막을 증착한다. 상기 제 3 질화막을 에치백하여 상기 제 2 질화막과 배리어 금속막 측면에 스페이서를 형성한다.

(실시예)

도 2a 내지 도 2e를 참조하여 본 발명의 실시예를 자세히 설명한다.

본 발명의 신규한 자기정렬콘택 형성 방법은 다마신 공정을 이용하여 비트라인과 상부 랩핑막을 형성한 후 그 측면에 스페이서를 형성한다.

도 2a 내지 도 2e는 본 발명의 실시예에 따른 다마신 공정을 사용한 자기정렬콘택 형성 방법을 보여주는 단면도이다.

도 1을 참조하면, 트랜지스터가 형성된 반도체 기판 상에 제 1 절연막(210)이 증착된다. 상기 트랜지스터는 소오스/드레인 영역(도면에 미도시)과 게이트 전극(도면에 미도시)으로 구성된다. 상기 제 1 절연막(210)은 APCVD(Atmospheric Pressure Chemical Vapor Deposition) 방식에 의해 O_3 -TEOS USG(Undoped Silicate Glass) 또는 BPSG(Boron Phosphorus Silicate Glass)로 형성된다. 상기 제 1 절연막(210) 상에 제 1 질화막(212)이 증착된다. 상기 제 1 질화막(212)은 실리콘 질화막 또는 실리콘옥시나이트라이드로 형성된다. 사진 공정을 통해 상기 소오스/드레인 영역이 노출될 때까지 상기 제 1 질화막(212)과 제 1 절연막(210)이 식각된 후 폴리실리콘 내지 도핑된 폴리실리콘으로 채워지므로 DC(Direct Contact) 콘택 플러그(214)가 형성된다. 상기 기판 전면에 제 2 절연막(216)이 증착된다. 상기 제 2 절연막(216)은 USG, BPSG, SOG(Spin On Glass) 등으로 형성된다. 사진 공정을 통해 상기 DC 콘택 플러그(214)가 노출될 때까지 상기 제 2 절연막(216)이 식각되어 개구부가 형성된다. 상기 기판 전면에 배리어(barrier) 금속막(218)이 증착된다. 상기 배리어 금속막(218)은 Ti, TiN 같은 단일막 내지 Ti/TiN, Ti/TiW와 같은 이중막 등으로 형성된다. 상기 배리어 금속막(218)은 상기 DC 콘택 플러그(214)와 후속으로 형성되는 비트라인(bit line) 사이에 일어나는 문제들, 즉, 접합 스파이킹(junction spiking), 실리콘 노즐(silicon nodule) 등의 문제들을 방지하여 콘택 저항을 낮춰주고 접합 누설(junction leakage)을 방지하여 준다.

상기 배리어 금속막(218)은 상기 DC 콘택 플러그, 제 1 질화막 및 제 2 절연막(214, 212, 216) 표면에 수 백 Å 정도의 두께로 형성된다. 상기 기판 전면에 상기 제 2 절연막(216)이 덮여지도록 금속막(220)이 증착된다. 상기 금속막(220)은 CVD 방식에 의한 알루미늄(Al), 텅스텐(W) 등으로 형성된다.

도 2b를 참조하면, 엔드 포인트(end point)를 잡고 에치백(etch back) 공정을 사용하여 상기 제 2 절연막(216)의 상부 표면이 노출될 때까지 상기 금속막과 배리어 금속막(220, 218)이 식각된다. 다음, 상기 금속막과 배리어 금속막(220, 218)의 식각율(etch rate)을 사용하여 에치백 공정을 더 수행하여 상기 금속막과 배리어 금속막(220, 218)이 상기 제 2 절연막(216) 상부 표면 아래로 일정량 더 식각된다. 이 때, 상기 금속막과 배리어 금속막(220, 218)은 상기 제 2 절연막(216) 높이의 30% 내지 50% 범위에 해당되는 길이 만큼 식각된다. 그리고, 도 2b에서 보는 바와 같이, 에치백 공정으로 인해 상기 금속막(220)은 가운데 부분이 가장자리보다 더 식각되어 라운드(round) 형태를 이룬다. 이로써, 상기 개구부 내의 상기 DC 콘택 플러그(214) 상에 비트라인(220)이 형성된다. 상기 기판 전면에 상기 제 2 절연막(216)이 덮여지도록 제 2 질화막(222)이 증착된다. 상기 제 2 질화막(222)은 실리콘 질화막 또는 실리콘옥시나이트라이드로 형성된다.

도 2c를 참조하면, 에치백 공정을 통해 상기 제 2 절연막(216)의 상부 표면이 노출될 때까지 상기 제 2 질화막(222)이 식각된다. 이때, 에치백 공정으로 인해 상기 제 2 질화막(222)의 가운데 부분이 가장자리보다 더 식각되어 라운드 형태를 이룬다. 이로써, 상기 비트라인(220)이 제 2 질화막으로 랩핑(capping)된다. 그리고, 상기 금속막(220)과 상기 제 2 질화막(222)의 두께 비율은 1:1 내지 7:3으로 유지된다.

공개특허2001-0055685

도 2d를 참조하면, 습식 식각 공정을 통해 상기 제 2 절연막(216)이 제거된다. 상기 습식 식각은 DHF 또는 NH₄F, HF 혼합용액을 사용하여 수행된다.

도 2e를 참조하면, 상기 기판 전면에 제 3 절화막(224)이 증착된다. 상기 제 3 절화막(224)은 실리콘 절화막 또는 실리콘옥시나이트라이드로 형성된다. 에치백 공정을 통해 상기 제 3 절화막(224)이 식각되어 상기 비트라인과 제 2 절화막(222) 측면에 스페이서(spacer, 224)가 형성된다. 이와 같이 형성하므로 상기 비트라인(220) 어깨(shoulder) 부위가 제 2, 제 3 절화막(222, 224)으로 충분히 두껍게 캡핑된다. 이후, BC(Buried Contact) 자기정렬콘택이 형성될 때, 상기 제 2, 제 3 절화막(212, 224)에 의해 충분한 식각 마진(etch margin)이 확보되어 상기 비트라인(220)의 손상을 방지할 수 있다.

발명의 효과

본 발명은 다마신 공정으로 비트라인을 형성하고 그 측면에 스페이서를 형성하므로 자기정렬콘택시 정렬 마진을 확보할 수 있고 스페이서 어깨를 충분히 두껍게 형성하는 것이 가능하기 때문에 식각 마진을 확보할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

반도체 기판 상에 제 1 절연막과 제 1 절화막을 차례로 증착하는 단계;

사진 공정을 통해 상기 제 1 절화막과 제 1 절연막을 내에 콘택 플러그를 형성하는 단계;

상기 기판 전면에 제 2 절연막을 증착하는 단계;

사진 공정을 통해 상기 콘택 플러그가 노출되도록 상기 제 2 절연막을 식각하여 개구부를 형성하는 단계;

상기 개구부 내벽을 포함하여 상기 기판 전면에 배리어 금속막을 증착하는 단계;

상기 기판 전면에 금속막을 증착하는 단계;

상기 금속막과 배리어 금속막을 에치백 공정으로 식각하되, 상기 개구부 내의 소정 깊이까지 식각하는 단계;

상기 기판 전면에 제 2 실리콘 절화막을 증착하는 단계;

상기 제 2 절연막 상부 표면이 노출될 때까지 상기 제 2 절화막을 에치백 공정으로 식각하는 단계;

상기 제 2 절연막을 제거하는 단계; 및

상기 제 2 절화막과 배리어 금속막 측면에 제 3 절화막을 사용하여 스페이서를 형성하는 단계를 포함하는 자기정렬콘택 형성 방법.

청구항 2

제 1 항에 있어서,

상기 개구부 내의 소정 깊이는 상기 개구부 전체 높이의 30% 내지 50% 범위로 정하는 자기정렬콘택 형성 방법.

청구항 3

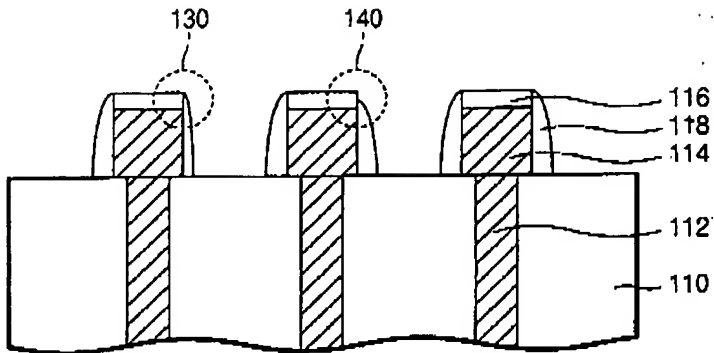
제 1 항에 있어서,

상기 제 1, 제 2 및 제 3 절화막은 실리콘 절화막 및 실리콘옥시나이트라이드 중 하나로 형성하는 자기정렬콘택 형성 방법.

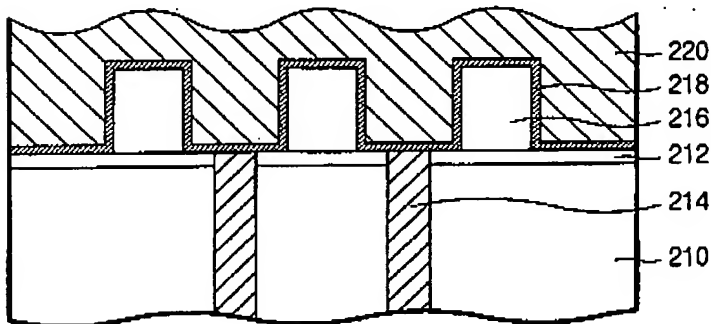
도면

공개특허2001-0055685

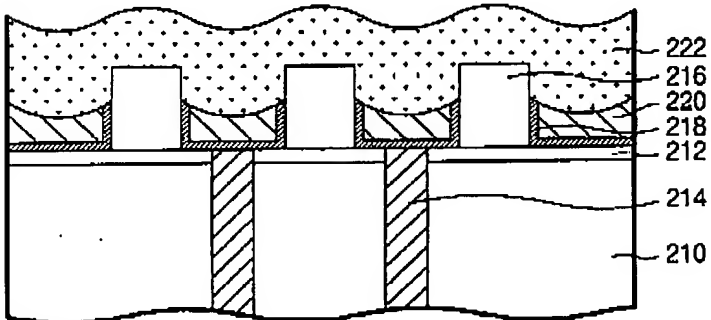
도면1



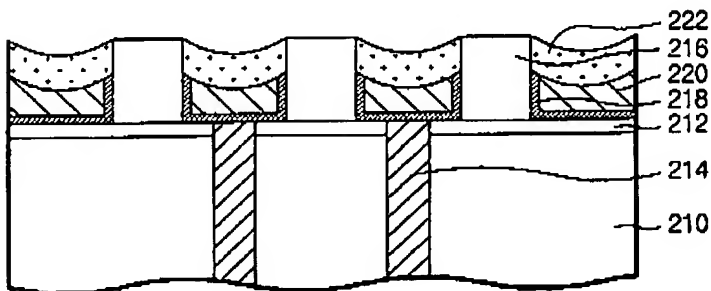
도면2a



도면2b

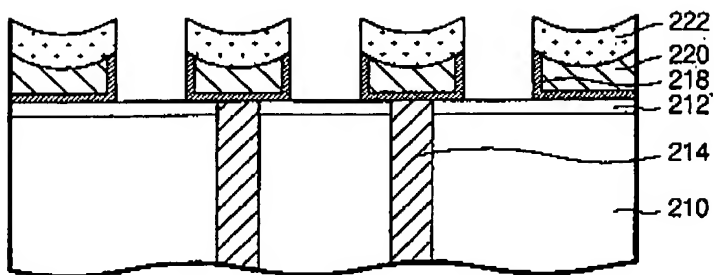


도면2c



공개특허특2001-0055685

도면2d



도면2e

